

BEST AVAILABLE COPY

JAN. 17. 2006 1:00PM

+1-212-319-5101 customer 01933

NO. 5991 P. 41

KPA XML 문서

페이지 1 / 1

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020063120 A
(43) Date of publication of application: 01.08.2002

(21) Application number: 1020020003869

(71) Applicant:

NEC ELECTRONICS
CORPORATION

(22) Date of filing: 23.01.2002

(72) Inventor:

KIMURA NAOTO

(30) Priority: 26.01.2001 JP 2001 2001019298

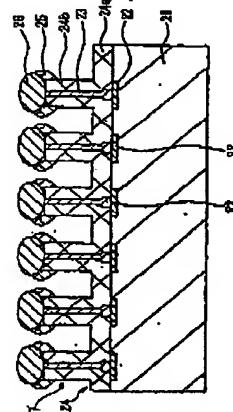
(51) Int. Cl: H01L 23/48

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57) Abstract:

PURPOSE: To provide a semiconductor device that can be manufactured at a low cost and can be miniaturized easily, and to provide a manufacturing method of the semiconductor device.

CONSTITUTION: A wire 23 such as a gold wire is connected to a plurality of pads 22 on the surface of a semiconductor chip 21 by wire bonding so that the wire 23 is vertical to the chip surface. The surface of the semiconductor chip 21 and the periphery of the wire 23 are covered with thin resin layers 24a and 24b, respectively. The upper end face of a coaxial body consisting of the wire 23 and the resin layer 24b for covering the wire 23 is polished or cut so that it is flat, and the wire 23 is exposed on the upper face of the coaxial body. A solder ball 26 is fixed onto the upper face of the coaxial body so that the solder ball 26 contacts the upper end of the wire 23, the gap between the solder ball 26 and the coaxial body is filled with resin 25, and junction to the wire 23 of the solder ball 26 is reinforced by the resin 25. The resin 25 is contained in the flux for mounting the solder ball 26, a flux is lost by reflow, and only the resin remains around the solder ball 26 and formed.



COPYRIGHT KIPO & JPO 2009

Legal Status:

Date of final disposal of an application (20040630)

Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

공개특허 등2002-0063120

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.?
 H01L 23/48

(11) 공개번호 등2002-0063120
 (43) 공개일자 2002년08월01일

(21) 출원번호 10-2002-0003869
 (22) 출원일자 2002년01월23일

(30) 우선권주장 JP-P-2001-00019298 2001년01월26일 일본(JP)

(71) 출원인 낫본 텐기 가부시키가이샤
 일본국 도쿄도 미나토구 시바 5초메 7방 1고

(72) 발명자 기무라나오토
 일본국 구마모토켄 구마모토시 야하타 1조메 1-1 규슈 낫본 텐기 가부시키가이샤 나이

(74) 대리인 조의제

심사청구 : 있음

(54) 실장기판에 안정결합하는 반도체장치

요약

소형 반도체장치는 반도체칩의 표면에 형성된 복수의 본딩패드들을 포함한다. 복수의 도전와이어들은 본딩패드와 결합되어 반도체칩의 표면에서 연장된다. 반도체칩의 표면 및 복수의 도전와이어들의 주변은 수지층으로 덮힌다. 각각의 도전와이어들 및 도전와이어의 주변을 덮는 수지층은 동축체를 형성한다. 복수의 솔더볼들은 동축체들의 정상단부에 실장되어 도전와이어들과 전기적으로 결합된다. 보강수지부들이 마련되어 동축체의 상단부에서 솔더볼까지의 영역에 부착되어 솔더볼이 동축체에의 결합을 보강한다.

대표도
 도 1

색인어
 솔더볼, 본딩패드, 수지층, 수지플렉스, 동축체, 보강수지부

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 반도체장치를 보여주는 단면도이고,

도 2a 및 2b는 도 1에서 보여진 반도체장치를 제조하는 방법에서, 공정단계를 공정단계들의 순서대로 보여주는 단면도들이고,

도 3a 및 3b는 도 1에서 보여진 반도체장치를 제조하는 방법에서, 2a 및 2b에서 보여진 공정단계들 후에 수행되는 공정단계들을 공정단계 순서대로 보여주는 단면도들이고,

도 4는 본 발명의 제2실시예에 따른 반도체장치를 보여주는 단면도이고,

도 5a 및 5b는 도 4에서 보여진 반도체장치를 제조하는 방법에서, 공정단계를 공정단계들의 순서대로 보여주는 단면도들이고,

도 6a 및 6b는 도 4에서 보여진 반도체장치를 제조하는 방법에서, 5a 및 5b에서 보여진 공정단계들 후에 수행되는 공정단계들을 공정단계 순서대로 보여주는 단면도들이고,

도 7은 종래기술(1)로, 종래의 패키지구조를 갖는 반도체장치를 보여주는 단면도이고; 및

도 8은 종래기술(2)로, 종래의 범프구조를 갖는 다른 반도체장치를 보여주는 사시도이다.

< 도면의 주요부분에 대한 부호의 설명 >

21 : 반도체칩22 : 패드

23 : 와이어24, 24a, 24b : 수지층

25 : 수지25a, 32 : 수지플렉스

26 : 솔더볼30 : 단차부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체장치들 및 제조공정들에 관한 것으로, 보다 자세하게는 BGA(Ball Grid Array)형, CSP(Chip Size Package)형의 소형패키지구조를 가지며, 실장기판에 안경결합하는 반도체장치에 관한 것이다.

도 7은 일본 특허공개공보11-243160호에 개시된 종래의 패키지구조를 갖는 반도체장치(이하 종래기술(1)이라 함)를 보여주는 단면도이다. 도 7에서 보여진 구조에서, 반도체칩(2)은 접착수지층들(3 및 4)을 포함하는 두개의 층들을 매개하여 TAB(Tape Automated Bonding)테이프(1)에 접합되어 고정된다. TAB테이프(1) 위에 마련된 패드들(5)은 TAB테이프(1)에 형성된 흄들을 통하여 TAB테이프(1)의 아랫면으로 들출된 솔더볼들(6)에 결합된다. 또한, 반도체칩(2)의 각 전극(미도시)은 본딩와이어(8)를 통하여 TAB테이프(1)에 형성된 본딩패드(7)와 결합된다. 패드들(5) 및 본딩패드들(7)은 TAB테이프(1)에 형성된 배선패턴들(미도시)을 통하여 서로 접속하게 된다. 게다가, 반도체칩(2)은 인캡슬레이션수지부(9)로 봉지되거나 둘러싸인다. 창조번호(10)는 증기 또는 습기를 배출하는 홀(hole)을 가리킨다.

도 8은 일본 특허공개공보10-303244호에 개시된 다른 범프구조(bump structure)를 갖는 다른 종래의 반도체장치(이하 종래기술(2)이라 함)를 보여주는 사시도이다. 도 8에서 보여진 구조에서, 복수의 패드들(12)은 반도체칩(11) 상에 형성된다. 또한, 복수의 범프들(13)이 마련되고, 범프들 각각은 패드(12) 위에 배치되어 패드(12)에서 반도체칩(11)의 위쪽으로 소정의 각으로 들출된다. 각각의 범프들(13)은 패드(12)에 접하는 결합부(14), 결합부(14)에서 연장된 와이어부(15) 및 와이어부(15)의 정상부에 둥근 모양으로 형성된 단자부(16)를 갖는다. 범프들(13)은 열경화성수지부(17)에 의해 덮힌다. 열경화성수지부(17)는 부분적으로 연마되어 범프들(13)의 정상단부들, 예를 들면 단자부들(16)만 노출된다.

도 8에서 보여진 종래의 범프구조는 아래와 같이 제조된다. 우선, 와이어는 와이어접합체를 이용하여 각각의 패드들(12)에 연결된다. 이 경우에, 둥근결합부(14)는 각 패드들(12)의 와이어 및 해당 패드(12)가 연결되는 부분에 형성된다. 또한, 둥근 단자부(16)는 각 와이어부들(15)의 상단에 형성된다. 그 후, 열경화성수지(17)는 반도체칩(11)에 도포되어 범프들(13) 사이 공간을 채운다. 그 다음 열경화성수지(17)는 경화되어 반도체칩(11)이 봉지된다. 그런 후, 열경화성수지(17)는 연마되어 각 범프들(13)의 단자부(16)가 노출된다. 그리하여, 결합부(14)에서 단자부(16)까지의 길이가 상대적으로 긴 범프들을 갖는 반도체장치가 완성된다.

그러나, 상기 종래기술(1)의 패키지구조를 갖는 반도체장치에서, 기판(1)인 TAB테이프 및 부착층, 즉 접착수지층들(3 및 4)이 필요하다. 또한, 반도체칩(2)에서 외부전극인 솔도볼들(6)까지 전기적으로 결합하기 위하여, 본딩와이어들(8), 패드들(7), TAB테이프 상의 배선패턴들(미도시) 및 패드들(5)을 사용하여야만 한다. 그러므로, 배선구조는 복잡하게 되고 제조비용이 상승하게 된다.

또한, 상기 종래기술(1)의 패키지구조를 갖는 반도체장치에서, 반도체칩(2)의 크기와 대략 동일한 크기의 BGA형 패키지를 얻는 것은 불가능하다. 그러므로, BGA패키지형 반도체장치를 소형화하기가 어렵다.

한편, 상기 종래기술(2)의 패키지구조를 갖는 반도체장치에서, 기판, 부착층 등을 필요 없다. 그러나, 열경화성수지(17)로 범프들(13) 사이 공간을 채운 후에, 범프들(13) 상단의 둥근단자부들(16)이 노출되도록 열경화성수지(17)를 연마하여야만 한다. 그러므로, 제조공정은 복잡하게 되고, 제조비용이 상승하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 간단한 공정에 의해 낮은 비용으로 제조될 수 있는 안정한 패키지구조를 갖는 반도체장치를 제공하는 것이다.

본 발명의 다른 목적은 낮은 비용으로 제조될 수 있고 반도체장치의 소형화를 용이하게 하는 안정한 패키지구조를 갖는 반도체장치를 제공하는 것이다.

본 발명의 또 다른 목적은 낮은 비용으로 제조될 수 있고 반도체장치와 외부회로 사이의 전기접속안정성이 높은 반도체장치를 제공하는 것이다.

본 발명의 또 다른 목적은 종래 반도체장치들의 패키지구조의 단점을 제거하는 것이다.

발명의 구성 및 작용

본 발명의 하나의 양태에 따르면, 반도체칩; 반도체칩의 표면에 형성된 복수의 본딩패드들; 본딩패드와 결합되어 반도체칩의 표면으로부터 연장된 복수의 도전와이어들; 반도체칩의 표면을 덮고, 복수의 도전와이어들 주변을 덮는 수지층으로서, 각각의 도전와이어들과 도전와이어들 주변을 덮는 수지층은 동축체를 형성하는 수지층; 각각이 동축체의 정상

단부에 실장되어 도전와이어와 전기적으로 결합되는 복수의 솔더볼들; 및 각각이 동축체의 상단부에서 솔더볼까지의 영역에 부착되어 솔더볼과 동축체와의 결합을 보강하는 보강수지부들을 포함하는 반도체장치가 제공된다.

이 경우에, 보강수지부들은, 솔더볼들과 도전와이어들을 결합하는 데 사용되는 수지플럭스(flux with resin)에 포함되어 수지플럭스의 리플로공정 후에 남겨지는 수지재료를 포함하는 것이 바람직하다.

도전와이어들 각각은 길이가 300 ~ 1,000 μ m인 것이 바람직하다.

또한, 도전와이어들은 반도체칩의 표면으로부터 수직하게 연장되는 것이 바람직하다.

도전와이어 및 도전와이어의 주변을 덮는 수지층을 포함하는 동축체는 변형가능한 것이 유익하다.

~~도전와이어들은 금 또는 금합금으로 만들어지는 것이 유익하다.~~

또한, 도전와이어 및 도전와이어의 주변을 덮는 수지층을 포함하는 동축체에서, 도전와이어를 덮는 수지층의 상단부는 소정의 깊이로 제거되어 단차부를 형성하고, 보강수지부는 단차부부터 솔더볼까지의 영역에 부착되는 것이 유익하다.

보강수지부들은, 솔더볼들과 도전와이어들을 결합하는 데 사용되는 수지플럭스에 포함되어 수지플럭스의 리플로공정 후에 남겨지는 수지재료를 포함하는 반도체장치인 것이 유익하다.

도전와이어들 각각은 길이가 300 ~ 1,000 μ m인 것이 유익하다.

또한, 도전와이어들은 반도체칩의 표면으로부터 수직하게 연장되는 것이 유익하다.

도전와이어 및 도전와이어의 주변을 덮는 수지층을 포함하는 상기 동축체는 변형가능한 것이 바람직하다.

본 발명의 다른 양태에 따르면, 반도체칩 표면에 형성된 복수의 본딩패드들을 갖는 반도체칩을 마련하는 단계; 도전와이어들이 반도체칩 표면에서 연장되도록, 와이어본딩에 의해 복수의 도전와이어들을 본딩패드들 위에 결속시키는 단계; 반도체칩 표면 및 복수의 도전와이어들 주변에 수지층을 도포하여, 각각의 도전와이어들과 도전와이어의 주변을 덮는 수지층이 동축체를 형성하는 단계; 동축체들의 상단부로부터 수지층을 제거하여 각각의 도전와이어들의 정상단부를 노출시키는 단계; 동축체들의 정상단부에 수지플럭스를 배치시키는 단계; 및 수지플럭스를 통해 동축체들의 정상단부들에 솔더볼들을 배치시키고 리플로공정에 의해 솔더볼들을 동축체의 도전와이어들에 결합시키는 단계를 포함하고, 수지플럭스의 플럭스성분이 리플로공정에 의해 사라지고, 수지플럭스의 남겨진 수지성분은 솔더볼들과 동축체들 사이를 채워 솔더볼과 동축체들의 결합력을 보강하는 반도체장치 제조방법이 제공된다.

이 경우에, 동축체들의 상단부로부터 수지층을 제거하여 각각의 도전와이어들의 정상단부를 노출시키는 단계에서, 수지층은 그라인딩 또는 에칭에 의해 제거되는 것이 바람직하다.

또한, 동축체들의 상단부로부터 수지층을 제거하여 각각의 도전와이어들의 정상단부를 노출시키는 단계에서, 동축체들의 정상단부들을 절단하여 각각의 도전와이어들의 정상단부를 노출시키는 것도 바람직하다.

또한, 도전와이어들 각각의 길이는 300 ~ 1,000 μ m가 되는 것이 바람직하다.

도전와이어들은 금 또는 금합금으로 만들어지는 것이 바람직하다.

본 발명의 또 다른 양태에 따르면, 반도체칩 표면에 형성된 복수의 본딩패드들을 갖는 반도체칩을 마련하는 단계; 도전

와이어들이 반도체칩 표면으로부터 연장되도록, 와이어본딩에 의해 복수의 도전와이어들을 본딩패드를 위에 결속하는 단계; 반도체칩 표면에 수지층을 도포하여 복수의 도전와이어들이 수지층에 매립되는 단계; 수지층의 상부를 제거하여 각 도전와이어들의 정상단부를 노출시키고, 각 도전와이어들의 주변에는 수지층을 얇게 상부코팅수지층으로 남기는 반면 도전와이어들의 사이 부분들에서는 수지층을 보다 더 제거하는 단계; 반도체칩 전영역에 수치플렉스를 도포하는 단계; 수치플렉스를 통해 도전와이어들의 정상단부들에 솔더볼들을 배치시키고 리플로공정에 의해 솔더볼들과 도전와이어들을 접합하는 단계; 및 각 도전와이어들의 하부주변에는 수지층을 상부코팅수지층보다는 두꺼운 하부코팅수지층으로 남기는 반면 도전와이어들 사이 부분들에서는 수지층을 보다 더 제거함으로써, 상부코팅층과 하부코팅층 사이에 단차를 형성하는 단계를 포함하고, 수치플렉스의 플렉스성분이 리플로공정에 의해 사라지고, 수치플렉스의 남겨진 수지성분은 솔더볼로부터 상부코팅수지층까지의 부분을 채워 솔더볼들과 도전와이어들 및 상부코팅수지층 사이의 결합력을 보강하는 반도체장치 제조방법이 제공된다.

이 경우에, 수지층의 상부를 제거하여 각 도전와이어들의 정상단부를 노출시키고, 각 도전와이어들의 주변에는 수지층을 얇게 상부코팅수지층으로 남기는 반면 도전와이어들 사이 부분들에서는 수지층을 보다 더 제거하는 단계에서, 수지층은 다이서 또는 레이저빔을 사용하여 제거되는 것이 바람직하다.

또한, 각 도전와이어들의 하부주변에는 수지층을 상부코팅수지층보다는 두꺼운 하부코팅수지층으로 남기는 반면 도전와이어들 사이 부분들에서는 수지층을 보다 더 제거하는 단계에서, 수지층은 다이서 또는 레이저빔을 사용하여 제거되는 것이 바람직하다.

본 발명의 다른 특징들 및 이점들은 첨부도면과 함께 이하의 상세한 설명으로부터 보다 명확하게 이해될 것이며, 첨부도면들에서 동일하거나 대응하는 부분들을 가리키는 지시번호들은 도면 전체가 같다.

첨부도면을 참조하여, 본 발명의 실시예들이 자세하게 설명될 것이다.

도 1은 본 발명의 제1실시예에 따른 반도체장치를 보여주는 단면도이다. 도 1에서 보여진 반도체장치에서, 복수의 패드들 또는 본딩패드들(22)은 반도체칩(21)의 표면에 형성된다. 도시되지는 않았지만, 반도체장치의 다양한 회로소자들도 반도체칩(21)의 표면에 형성된다. 예컨대 금, 금합금 등으로 만들어진 접합와이어(23)는 각각의 패드들(22)에 접촉되어 반도체칩(21)의 표면에 대해 수직하게 연장된다. 반도체칩(21)의 표면은 얇은 수지층(24a)으로 입혀지고, 또한 접합와이어들(23)의 주변도 얇은 수지층(24b)으로 입혀진다. 각 접합와이어(23) 및 접합와이어(23)에 입혀진 해당 수지층(24b)은 접합와이어(23)가 그 중심에 놓이는 동축체(27)를 형성한다. 동축체(27)의 상단면은 연마되거나 절단되어 상단면은 평평한 면을 형성한다. 동축체들(27)의 각 상단면에서, 접합와이어(23)의 끝단면이 노출된다.

각 동축체들(27)의 상단면에 솔더볼(26)이 부착되어 솔더볼(26)은 접합와이어(23)의 상단에 접하게 된다. 즉, 전기적으로 접속하게 된다. 솔더볼(26)과 동축체(27) 사이의 각 틈은 수지부(25)로 채워진다. 수지부(25)는 솔더볼(26)과 동축체(27) 사이의 결합력을 보강하여, 솔더볼(26)과 접합와이어(23) 사이의 결합력을 보강한다. 수지부(25)는 접합와이어(23)에 솔더볼(26)을 결합하거나 실장하는 데 사용되는 수치플렉스에 함유된 수지성분으로 제조된다. 수치플렉스 또는 수지를 포함하는 플렉스가, 예를 들면 접합와이어(23)에 도포되고 리플로공정(reflow process)의 이용으로 솔더볼(26)이 접합와이어(23)에 부착될 때, 플렉스성분은 리플로공정에 의해 사라지고 수지성분만 솔더볼(26) 및 동축체(27)의 정상부 주변에 수지부(25)로 남게 된다.

상기 구조를 갖는 BGA형 반도체장치는 제조비용이 낮다는 장점이 있고, 또한 솔더볼(26)과 동축체(27)의 결합력이 높다는 장점도 있다. 또한, 본 실시예에 따른 반도체장치는 솔더볼들(26)을 통하여 실장기판(미도시)에 실장된다. 이 경우에, 도 7 및 도 8에서 보여진 종래의 반도체장치와는 다르게, 실장기판 및 반도체칩(21) 사이에 틈이 있다. 즉, 반도체칩(21)은 접합와이어(23) 및 수지층(24b)을 각각 포함하고 각각 소정의 길이를 갖는 동축체들(27)을 매개하여

실장기판에 실장된다. 그러므로, 반도체칩(21)과 실장기판과의 열팽창계수의 차이에 의해 야기되는 스트레스는 동축체들(27)의 절진적인 변형으로 완화되거나 제거된다. 따라서, 반도체장치의 실장 후에, 솔더볼풀(26)은 실장기판에서 떨어지지 않는다.

이제, 상기 반도체장치의 제조방법에 대하여 설명될 것이다. 도 2a 및 2b와 도 3a 및 3b는 도 1에서 보여진 반도체장치의 제조단계들의 순서대로 보여주는 단면도들이다. 우선, 도 2a에서 보여진 바와 같이, 접합와이어(23)는 와이어본딩에 의해 반도체칩(21)의 표면에 마련된 각각의 페드들(22)에 접합된다. 접합와이어(23)는, 예를 들면 지름이 30/ μ m이고, 금이나 금합금 등으로 만들어진다. 접합와이어들(23)은 반도체칩(21)의 표면으로부터 수직하게 연장되어, 예를 들면 300~1,000/ μ m 길이로 접단된다.

다음에, 도 2b에서 보여진 바와 같이, 얇은 수지층(24)은 반도체칩(21) 및 접합와이어들(23)의 표면에 도포되어 반도체칩(21) 및 접합와이어들(23)을 덮는다. 그러므로, 수지층(24)은 반도체칩(21)의 표면을 얇게 덮는 수지층부분(24a) 및 접합와이어들(23)을 얇게 덮는 수지층부분(24b)을 포함한다. 이에 의해, 접합와이어(23) 및 수지층부분(24b)을 각각 포함하는 동축체들(27)이 얹어진다.

도 3a에서 보여진 바와 같이, 각각의 동축체들(27)의 정상끌단에서, 수지층부분(24b)의 정상부분이 그라인딩 또는 에칭에 의해 제거되어 접합와이어(23)의 정상끌단부분이 노출된다. 그런 후에, 접합와이어(23)의 정상끌단부분에 오물 및 쓰레기는 깨끗하게 제거되고, 수지플렉스(25a)가 각 동축체들(27)의 정상끌단면에 도포된다. 이 경우, 수지층부분(24b)의 정상부분은 그라인딩 또는 에칭으로 제거하는 대신에, 동축체(27)에서 접합와이어(23)의 정상부 뿐만 아니라 수지층부분(24b)의 정상부를 잘라낸다. 접합와이어(23)의 정상끌단면이 절단되어 형성되기 때문에, 접합와이어(23)의 정상끌단면이 깨끗하여 접합와이어(23)의 정상끌단면의 오물 및 쓰레기를 깨끗하게 제거할 필요가 없다.

그런 후에 도 3b에서 보여진 바와 같이, 수지플렉스(25a)의 이용으로 솔더볼(26)은 동축체들(27)의 접합와이어들(23) 각각에 부착되고, 리플로공정이 수행되어 솔더볼(26)을 접합와이어(23)에 접합시킨다. 리플로공정에 의해, 수지플렉스 내의 플렉스성분(25a)은 사라지고, 수지성분만 남아 수지부(25)를 구성한다. 수지부(25)는 적어도 솔더볼(26)과 동축체(27)의 상단부 사이 륈를 채운다.

상기의 방법에 따라, BGA형 반도체장치는 접합와이어들(23)을 반도체칩(21)의 표면에서 와이어본딩하여 접합와이어(23)이 반도체칩(21)의 표면으로부터 수직하게 연장되도록 제조된다. 각각의 접합와이어들(23)은 수지층부분(24b)으로 임혀져 접합와이어들(23) 사이가 절연된다. 그런 후에, 수지플렉스(25a)의 사용으로, 솔더볼(26)은 각각의 접합와이어들(23)에 결합된다. 그러므로, 제조공정은 간단해지고 제조비용은 감소된다. 또한, 솔더볼들(26)은 수지플렉스(25a)의 사용으로 접합와이어들(23)에 결합된다. 따라서, 플렉스가 사라진 후에, 수지부(25)가 솔더볼(26)과 접합와이어(23) 및 수지층부분(24b)을 포함한 동축체(27) 사이에 남아 있어, 솔더볼(26)과 동축체(27) 사이의 결합력이 수지부(25)로 강화될 수 있다. 즉, 수지부(25)는 솔더볼(26) 및 수지층부분(24b)에 부착되어 솔더볼(26)과 동축체(27)의 결합을 강화한다.

다음으로, 본 발명의 제2실시예에 따른 반도체장치 및 제2실시예에 따른 반도체장치 제조방법에 대하여 설명할 것이다. 도 4는 본 발명의 제2실시예에 따른 반도체장치를 보여주는 단면도이다. 도 4에서, 도 1에서 보여진 것들과 동일한 부분들은 같은 지시번호들을 붙이고 상세한 설명을 생략한다. 이 실시예에서, 접합와이어(23)를 얇게 덮는 각 수지층부분(24b)의 상단부에서, 외측면이 소정의 깊이로 깎여서 단차부(30; step portion)가 형성된다. 또한, 수지플렉스로 만 들어진 수지부(25)는 이 단차부(30)에 남아 접합와이어(23)의 상단에 결합되는 솔더볼(26)과 동축체(27)의 결합력을 강하게 보강한다.

이 실시예에서, 보강수지부(25)는 도 1에서 보여진 구조와 같이 솔더볼(26)과 수지충부분(24b) 사이 를 뿐만 아니라 솔더볼(26)에서 단차부(30)까지의 부분에도 마련된다. 그러므로, 수지부(25)의 상대적으로 많은 양의 수지가 솔더볼(26)을 지지하여 솔더볼(26)과 동축체(27) 사이의 결합력이 매우 커진다.

본 발명의 제2실시예에 따른 상기 BGA형 반도체장치를 제조하는 방법에 대하여 설명할 것이다. 도 5a 및 5b와 도 6a 및 6b는 도 4에서 보여진 반도체장치의 제조단계 순서대로 나타내는 단면도이다. 우선, 도 5a에서 보여진 바와 같이, 접합와이어(23)는 반도체칩(21)의 표면에 마련된 패드들(22) 각각에 와이어본딩에 의해 결속된다. 접합와이어(23)는, 예를 들면 지름이 30 μ m이고, 금이나 금합금 등으로 만들어진다. 접합와이어들(23)은 반도체칩(21)의 표면으로부터 수직방향으로 연장되어 예를 들면 300~1,000 μ m의 길이로 절단된다. 다음에, 두꺼운 수지층(31)은 반도체칩(21)의 표면에 도포되어 접합와이어들(23)의 상단들이 잠길 때까지 접합와이어들(23) 사이를 수지충으로 채운다.

그린 후, 도 5b에서 보여진 바와 같이, 수지층(31)의 상부면이 다이서(dicer)에 의해 또는 레이저빔을 사용하여 제거된다. 이 경우에, 수지층(31) 두께의 약 1/3이 제거된다. 이 경우에, 수지층(31)의 일부 뿐 아니라 각 접합와이어들(23)의 일부도 제거될 수 있다. 이에 의해, 접합와이어들(23)의 경상부는 노출된다. 또한, 수지층(31)은 접합와이어들(23) 사이 부분들이 잘려나가 수지층(31)은 각 접합와이어들(23)의 상단부 주변에 얕게 남게 된다. 이에 의해, 도 5b에서 보여진 바와 같이, 접합와이어들(23)의 상단부 주변에서, 그 중앙에 접합와이어(23)를 포함하고 단차부(30)를 이루는 돌출부와 같은 기둥이 수지층(31)에 형성된다.

그 후, 도 6a에서 보여진 바와 같이, 수지플렉스(32)는 작업편 전영역에 도포된다. 수지플렉스(32)를 사용하여, 솔더볼(26)은 각 동축체(27)의 접합와이어들(23)에 부착되고 리풀로공정이 수행되어 솔더볼(26)을 접합와이어(23)에 결속시킨다. 리풀로공정에 의해, 수지플렉스(32) 내에서 플렉스성분이 사라지고 수지성분이 남아 수지부(25)를 구성한다. 수지플렉스(32)는 작업편 전영역에 도포되어, 상대적으로 많은 양의 수지가 각 솔더볼(26) 및 돌출부와 같은 기둥(30) 주변에 존재한다. 그러므로, 이 실시예에서, 각각의 솔더볼들(26)은 수지부(25)에 의해 동축체(27)에 강하게 고정된다.

도 6b에서 보여진 바와 같이, 수지층(31) 부분들 및 접합와이어들(23) 사이의 수지부(25)이 다이서 또는 레이저빔을 사용하여 추가적으로 제거되어 틈들(34)이 접합와이어들(23) 사이에 형성된다. 이것에 의해, 수지층(31)이 반도체칩(21)의 표면에 얕게 남아 있으며 또한 수지층(31)이 각 접합와이어(23)의 둘레주변에 남아 접합와이어(23)를 동축적으로 둘러싼다. 이것에 의해, 동축체들(27)은 접합와이어(23) 및 수지층(31) 각각을 포함하도록 형성된다. 또한, 동축체들(27) 각각의 상단부에는 수지층(31)의 단차부(30)가 형성되고, 단차부(30)에는 수지플렉스의 플렉스성분이 리풀로공정으로 인해 사라진 후에 만들어지는 수지부(25)가 남는다. 이렇게 형성된 수지부(25)에 의해, 솔더볼들(26)과 동축체들(27)의 결속력을 보강된다. 수지부(25)가 단차부(30) 위에도 존재하고, 수지부(25)의 많은 양의 수지가 단차부(30) 위에 존재하기 때문에, 솔더볼(26) 및 동축체(27)의 결합력이 매우 강해진다.

발명의 효과

상기와 같이, 본 발명에 따르면, 간단한 공정과 낮은 비용으로 제조될 수 있으며, 수지에 의한 보강때문에 솔더볼들 및 반도체칩 쪽의 동축체들 사이에 강한 결합력을 갖는 반도체장치가 마련된다. 또한, 본 발명에 따른 반도체장치에서, 그들 사이에 틈이 있고 그들 각각은 반도체칩에서 소정의 길이를 갖는 동축체들에 솔더볼들이 부착된다. 그러므로, 반도

체침(21)과 실장기판 사이의 열팽창계수의 차이로 인한 스트레스는 동축체들의 점진적인 변형으로 감소되거나 제거된다. 따라서, 반도체장치를 실장한 후에, 솔더볼들은 실장기판에서 떨어지지 않는다. 게다가, 각 동축체들의 상부주변에 단차부가 마련되어, 단차부들의 각각에 솔더볼을 지지하는 많은 양의 수지를 배치할 수 있다. 그러므로, 솔더볼들의 결합력을 보다 강하게 보강할 수 있다.

또한, 본 발명에 따른 반도체장치 제조방법에서, 접합와이어를 수지층으로 쿄팅한 후에, 접합와이어들의 정상단부들은 노출되어 솔더볼들이 접합와이어들의 정단단부들에 결속된다. 그러므로, 제조공정은 간단하고 제조비용은 감소할 수 있다.

앞서의 명세서에서는, 본 발명은 특정 실시예들을 참조하여 설명되었다. 그러나, 본 기술분야의 통상의 기술자는 이하의 청구범위에서 밝힌 본 발명의 범위를 벗어남 없이 다양한 개량 및 변경이 가능하다는 것을 이해할 것이다. 따라서, 본 명세서 및 도면들은 제한이라기보다는 일에임에 주목하여야 하며, 이와 같은 모든 변경들은 본 발명의 범위에 포함된다. ~~그러므로, 이 발명은 청구범위와 일치하는 모든 변경들 및 개량들을 포함한다.~~

(57) 청구의 범위

청구항 1.

반도체칩;

상기 반도체칩의 표면에 형성된 복수의 본딩페드들;

상기 본딩페드와 결합되어 상기 반도체칩의 표면으로부터 연장된 복수의 도전와이어들;

상기 반도체칩의 표면을 덮고, 상기 복수의 도전와이어들 주변을 덮는 수지층으로서, 각각의 도전와이어들과 상기 도전와이어들 주변을 덮는 수지층은 동축체를 형성하는 수지층;

각각이 상기 동축체의 정상단부에 설치되며 상기 도전와이어와 전기적으로 결합되는 복수의 솔더볼들; 및

각각이 상기 동축체의 상단부에서 상기 솔더볼까지의 영역에 부착되어 솔더볼과 상기 동축체와의 결합을 보강하는 보강수지부들을 포함하는 반도체장치.

청구항 2.

제1항에 있어서, 상기 보강수지부들은, 상기 솔더볼들과 상기 도전와이어들을 결합하는 테 사용되는 수지플렉스에 포함되어 상기 수지플렉스의 리플로공정 후에 남겨지는 수지재료를 포함하는 반도체장치.

청구항 3.

제1항에 있어서, 상기 도전와이어들 각각은 길이가 300 ~ 1,000 μ m인 반도체장치.

청구항 4.

제1항에 있어서, 상기 도전와이어들은 상기 반도체칩의 표면으로부터 수직하게 연장되는 반도체장치.

청구항 5.

제1항에 있어서, 상기 도전와이어 및 상기 도전와이어의 주변을 덮는 상기 수지층을 포함하는 상기 동축체는 변형 가능한 반도체장치.

청구항 6.

제1항에 있어서, 상기 도전와이어들은 금 또는 금합금으로 만들어진 반도체장치.

청구항 7.

제1항에 있어서, 상기 도전와이어 및 상기 도전와이어의 주변을 덮는 상기 수지층을 포함하는 상기 등축체에서, 상기 도전와이어를 덮는 상기 수지층의 상단부는 소정의 깊이로 제거되어 단차부를 형성하고, 상기 보강수지부는 상기 단차부부터 상기 솔더볼까지의 영역에 부착되는 반도체장치.

청구항 8.

제7항에 있어서, 상기 보강수지부들은, 상기 솔더볼들과 상기 도전와이어들을 결합하는 데 사용되는 수지플렉스에 포함되어 상기 수지플렉스의 리플로 공정 후에 남겨지는 수지재료를 포함하는 반도체장치.

청구항 9.

제7항에 있어서, 상기 도전와이어를 각각은 길이가 300 ~ 1,000㎛인 반도체장치.

청구항 10.

제7항에 있어서, 상기 도전와이어들은 상기 반도체칩의 표면으로부터 수직하게 연장되는 반도체장치.

청구항 11.

제7항에 있어서, 상기 도전와이어 및 상기 도전와이어의 주변을 덮는 상기 수지층을 포함하는 상기 등축체는 변형 가능한 반도체장치.

청구항 12.

반도체칩 표면에 형성된 복수의 본딩패드들을 갖는 반도체칩을 마련하는 단계;

상기 도전와이어들이 상기 반도체칩 표면에서 연장되도록 와이어본딩에 의해 복수의 도전와이어들을 상기 본딩패드들 위에 결합하는 단계;

상기 반도체칩 표면 및 상기 복수의 도전와이어들 주변에 수지층을 도포하여 상기 각각의 도전와이어들과 상기 도전와이어의 주변을 덮는 수지층이 등축체를 형성하는 단계;

등축체들의 상단부로부터 상기 수지층을 제거하여 상기 각각의 도전와이어들의 정상단부를 노출시키는 단계;

상기 등축체들의 정상단부에 수지플렉스를 배치시키는 단계; 및

상기 수지플렉스를 통해 상기 등축체들의 정상단부들에 솔더볼들을 배치시키고 리플로 공정에 의해 솔더볼들을 상기 등축체의 도전와이어들에 결합시키는 단계를 포함하고,

상기 수지플렉스의 플렉스성분이 상기 리플로 공정에 의해 사라지고, 상기 수지플렉스의 남겨진 수지성분은 솔더볼들과 상기 등축체들 사이를 채워 상기 솔더볼과 상기 등축체들의 결합력을 보강하는 반도체장치 제조방법.

청구항 13.

제12항에 있어서, 동축체들의 상단부로부터 상기 수지층을 제거하여 상기 각각의 도전와이어들의 정상단부를 노출시키는 상기 단계에서, 상기 수지층은 그라인딩 또는 에칭에 의해 제거되는 반도체장치 제조방법.

청구항 14.

제12항에 있어서, 동축체들의 상단부로부터 상기 수지층을 제거하여 상기 각각의 도전와이어들의 정상단부를 노출시키는 상기 단계에서, 상기 동축체들의 정상단부들을 절단하여 상기 각각의 도전와이어들의 정상단부를 노출시키는 반도체장치 제조방법.

청구항 15.

제12항에 있어서, 상기 도전와이어들 각각의 길이는 300 ~ 1.000 μ m가 되도록 하는 반도체장치 제조방법.

—청구항-16.

제12항에 있어서, 상기 도전와이어들은 금 또는 금합금으로 만들어 지는 반도체장치 제조방법.

청구항 17.

반도체칩 표면에 형성된 복수의 본딩패드들을 갖는 반도체칩을 마련하는 단계;

상기 도전와이어들이 상기 반도체칩 표면에서 연장되도록 와이어본딩에 의해 복수의 도전와이어들을 상기 본딩패드들 위에 결합하는 단계;

상기 반도체칩 표면에 수지층을 도포하여 상기 복수의 도전와이어들이 상기 수지층에 매립되는 단계;

상기 수지층의 상부를 제거하여 각 도전와이어들의 정상단부를 노출시키고, 상기 각 도전와이어들의 주변에는 수지층을 상부코팅수지층으로 얇게 남기는 반면 상기 도전와이어들의 사이 부분들에서는 상기 수지층을 보다 더 제거하는 단계;

상기 반도체칩 전영역에 수지플렉스를 도포하는 단계;

수지플렉스를 통해 상기 도전와이어들의 정상단부들에 솔더볼을 배치시키고 리플로공정에 의해 상기 솔더볼과 상기 도전와이어들을 결합하는 단계; 및

각 도전와이어들의 하부주변에는 상기 수지층을 상부코팅수지층보다는 두꺼운 하부코팅수지층으로 남기는 반면 상기 도전와이어들 사이 부분들에서는 수지층을 보다 더 제거함으로써, 상기 상부코팅수지층과 상기 하부코팅수지층 사이에 단차를 형성하는 단계를 포함하고,

상기 수지플렉스의 풀렉스성분이 리플로공정에 의해 사라지고, 상기 수지플렉스의 남겨진 수지성분은 상기 솔더볼로부터 상기 상부코팅수지층까지 채워져 상기 솔더볼과 상기 도전와이어들 및 상기 상부코팅수지층 사이의 결합력을 보강하는 반도체장치 제조방법.

청구항 18.

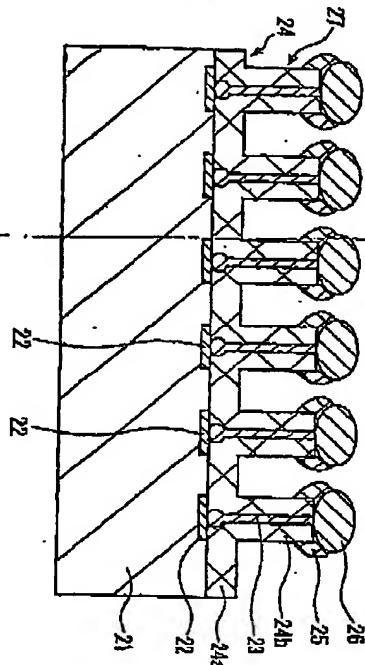
제17항에 있어서, 상기 수지층의 상부를 제거하여 각 도전와이어들의 정상단부를 노출시키고, 상기 각 도전와이어들의 주변에는 수지층을 상부코팅수지층으로 얇게 남기는 반면 상기 도전와이어들의 사이 부분들에서는 상기 수지층을 보다 더 제거하는 단계에서, 상기 수지층은 다이서 또는 레이저빔을 사용하여 제거되는 반도체장치 제조방법.

청구항 19.

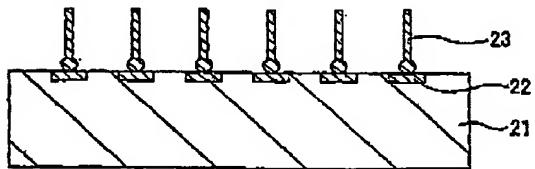
제17항에 있어서, 각 도전와이어들의 하부주변에는 상기 수지층을 상부코팅수지층보다는 두꺼운 하부코팅수지층으로
남기는 반면 상기 도전와이어들 사이 부분들에서는 수지층을 보다 더 제거하는 단계에서, 상기 수지층은 다이서 또는
레이저빔을 사용하여 제거되는 반도체장치 제조방법.

도면

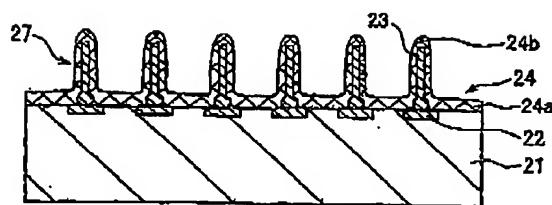
도면 1



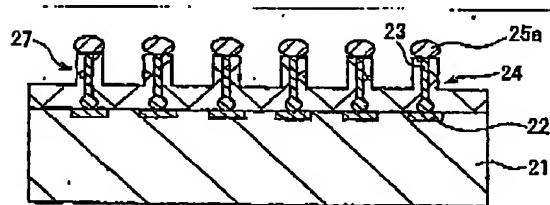
도면 2a



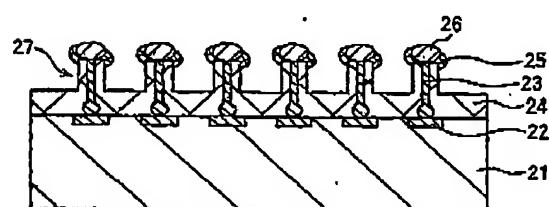
도면 2b



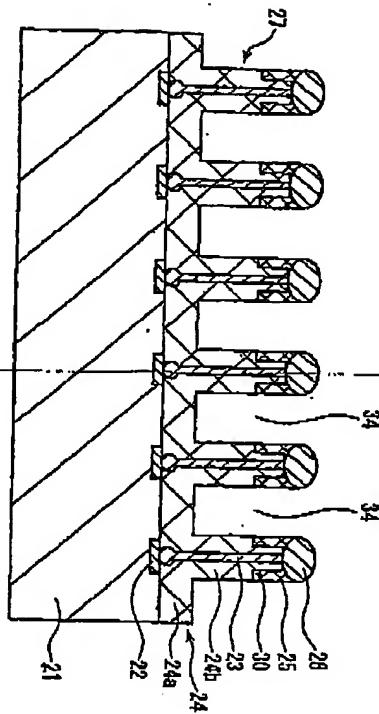
도면 3a



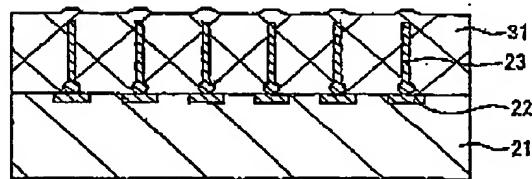
도면 3b



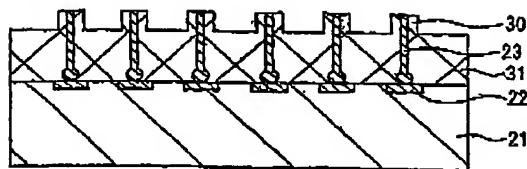
도면 4



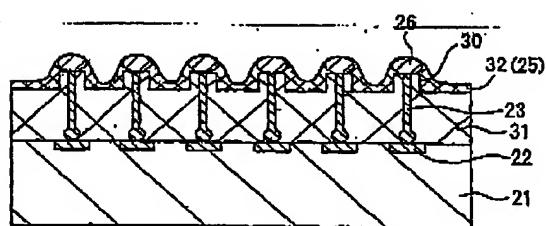
도면 5a



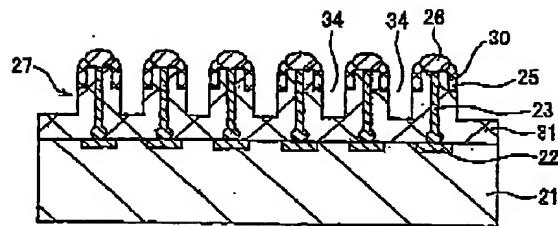
도면 5b



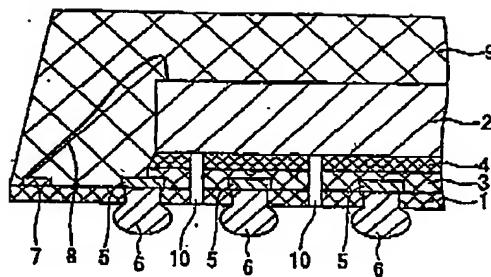
도면 6a



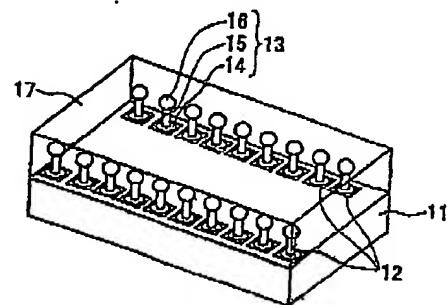
도면 6b



도면 7



도면 8



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.